

سری سوال : یک

زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰

تعداد سوالات : تستی : ۲۵ تشریحی : ۵

عنوان درس : VLSI طراحی سیستمهای

رشته تحصیلی : مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

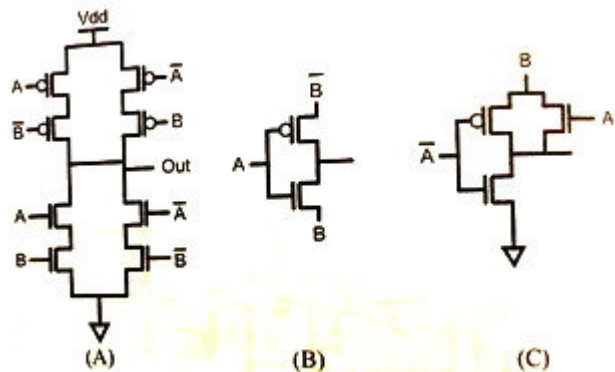
۱- فرض کنید که در فرایند طراحی یک تراشه به 10 ماسک نیاز داشته باشیم و همچنین فرض کنید که هر مرحله از این فرایند با بارآوری 98% ساخته می شود. کدام گزینه درست است؟

۱. بارآوری تراشه ساخته شده 9.8% است.
۲. بارآوری تراشه ساخته شده 81.7% است.
۳. بارآوری تراشه ساخته شده بزرگتر یا مساوی 81.7% است.
۴. بارآوری تراشه ساخته شده کوچکتر از 81.7% است.

۲- ولتاژ آستانه وارونگر جایی است که در منحنی VTC آن $V_{in} = V_{out}$ می باشد. فرض کنید وارونگری دارای ولتاژ آستانه 1.6V باشد. چنانچه پهنای کانال P بالای این وارونگر را دو برابر سازیم، آستانه سوییچینگ جدید چه خواهد شد؟

۱. کوچکتر از 1.6V
۲. بزرگتر از 1.6V
۳. 1.6V
۴. با این داده ها نمی توان حساب کرد

۳- کدام یک از پیاده سازی های مدار زیر مناسب است؟



۱. C
۲. A
۳. A,C
۴. A,B

۴- برای مقادیر $V_{DS} > V_{GS} - V_{TH}$ ترانزیستور MOS در چه ناحیه ای عمل می کند؟

۱. قطع
۲. خطی
۳. اشباع
۴. مرز خطی و اشباع

۵- فرض کنید برای یک گیت AOI با ظرفیت بار 10 fF ، $R_{on} = 10\text{ k}\Omega$ باشد. اگر $t_{rise} = 0.5\text{ ns}$ فرض شود τ_{PHL} واقعی چقدر است؟

۱. 0.2593ns
۲. 0.069ns
۳. 0.038ns
۴. 0.0345ns

سری سوال : ۱ یک

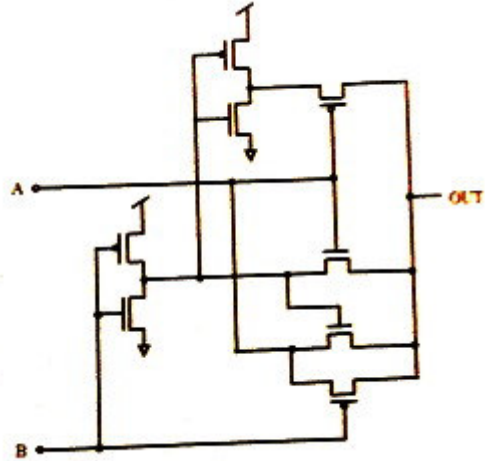
زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰

تعداد سوالات : تستی : ۲۵ تشریحی : ۵

عنوان درس : طراحی سیستمهای VLSI

رشته تحصیلی : مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۰۵

۶ - گیت روبرو چه منطقی را پیاده سازی می کند؟



XOR .۴

XNOR .۳

NOR .۲

NAND .۱

۷ - معیار کیفی (Figure of merit) را بر حسب تغییرات جریان نسبت به تغییرات ولتاژ تعریف می شود.

۱. درین، درین-سورس

۲. درین، گیت-سورس

۳. سورس، درین-سورس

۴. سورس، آستانه

۸ - یک گیت انتقالی CMOS با $V_{TH} = 1V$, $K'(W/L) = 100\mu A/V^2$ و سیگنال های کنترلی $\pm 5V$ کار می کند. سیگنال ورودی در محدوده ی صفر تا پنج ولت تغییر می کند. مقاومت سونیچ به ازای مقادیر حدی چقدر است؟

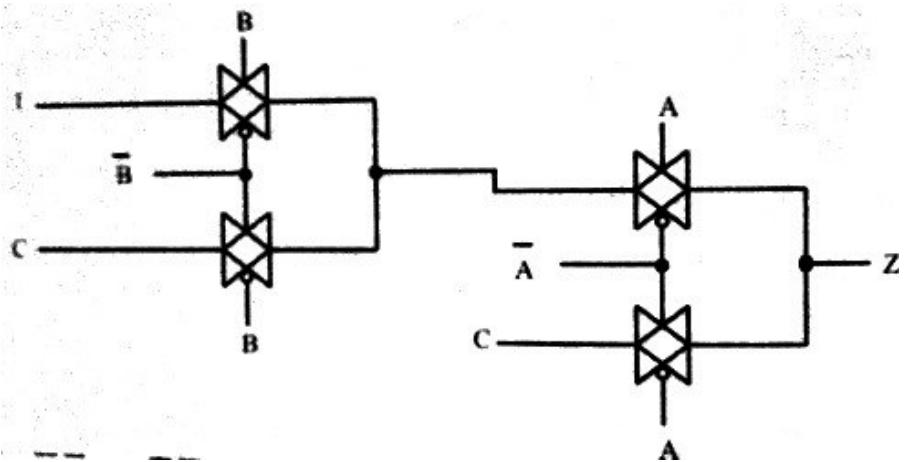
۱. $333k\Omega$

۲. $1.25k\Omega$

۳. $25k\Omega$

۴. $3.33k\Omega$

۹ - تابع منطقی پیاده سازی شده توسط مالتی پلکسر به ۱ شبکه زیر چیست؟



۱. $Z = (\bar{A} + \bar{B}).(\bar{C} + \bar{A})$

۲. $Z = BC\bar{A} + \bar{A}B + \bar{A}BC$

۳. $Z = AB + \bar{A}.C + \bar{A}BC$

۴. $Z = AB + \bar{A}.B + \bar{A}BC$

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی: مهندسی کامپیوتر (سخت افزار) ۱۱۵۲۰۵

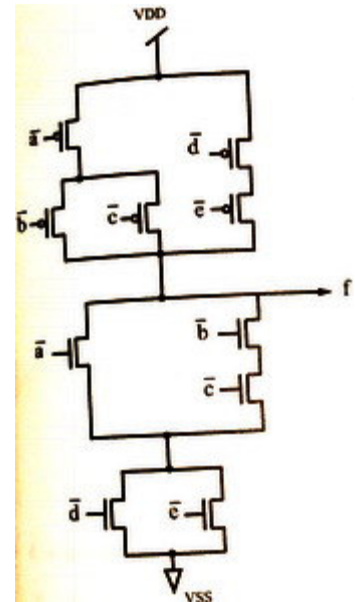
۱۰- مقادیر تقریبی کدام یک از خازن های اکسید در MOSFET در حالات خطی و اشباع صفر می باشد؟

۱. C_{gb} ۲. C_{gd} ۳. C_{gs} ۴. C_{gs}, C_{gd}

۱۱- در یک گیت NOR پنج ورودی CMOS در صورتی که بخواهیم زمان های بالا رونده و پایین رونده با هم مساوی باشند، اندازه های ترانزیستورها چیست؟ کوچکترین اندازه ترانزیستور را برابر با 2λ و $\mu_n = 2\mu_p$ فرض کنید.

۱. $W_{nMOS} = 10\lambda, W_{pMOS} = 4\lambda$ ۲. $W_{nMOS} = 2\lambda, W_{pMOS} = 10\lambda$
 ۳. $W_{nMOS} = 2\lambda, W_{pMOS} = 20\lambda$ ۴. $W_{nMOS} = W_{pMOS} = 10\lambda$

۱۲- تابع منطقی CMOS زیر چیست؟



۱. $f = a.(b+c) + (d.e)$ ۲. $f = \bar{a} + (\bar{b}.\bar{c}) + (\bar{d}.\bar{e})$
 ۳. $f = \overline{a.(b+c) + d.e}$ ۴. $f = \bar{a} + (\bar{b}.\bar{c}) + (\bar{d} + \bar{e})$

۱۳- یک MOSFET کانال n با $K_n' = 101.5 \mu A/V^2$ و $W/L = 10$ و $V_{TH} = 0.8V, t_{ox} = 20nm$ در نظر بگیرید.

به ازای $V_{GS} = 5V$ و $V_{DS} = 1V$ ناحیه کار MOSFET چیست؟

۱. قطع ۲. اشباع
 ۳. تریودی ۴. مرز بین اشباع و خطی

۱۴- می نیم و تاژی است که می تواند به عنوان تلقی گردد.

۱. V_{OL} ، خروجی، یک منطقی ۲. V_{IH} ، ورودی، یک منطقی
 ۳. V_{IL} ، ورودی، صفر منطقی ۴. V_{OH} ، خروجی، صفر منطقی

سری سوال : ۱ یک

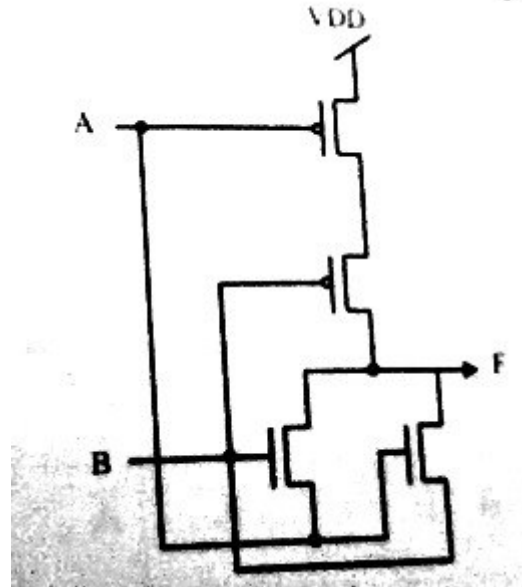
زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰

تعداد سوالات : تستی : ۲۵ تشریحی : ۵

عنوان درس : طراحی سیستمهای VLSI

رشته تحصیلی : مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۰۵

۱۵- مدار زیر چه منطقی را پیاده سازی می کند؟



AND .۴

NAND .۳

XNOR .۲

XOR .۱

۱۶- برای یک ترانزیستور nMOS تخلیه ای $\lambda = 0.02/V, V_{TH} = -2V, K_n' W/L = 200\mu A/V^2$ می باشد. به ازای

MOSFET در چه ناحیه ای است و جریان درین چقدر است؟ $V_{GS} = 0V, V_{DS} = 1V$

۴. اشباع و $480\mu A$

۳. اشباع و $306\mu A$

۲. تریودی و $416\mu A$

۱. تریودی و $306\mu A$

۱۷- تابع $f = (A+B+C).(D+E+F)$ معادل چیست؟

۴. AO33

۳. OA33

۲. AOI33

۱. OAI32

سري سوال : ۱ یک

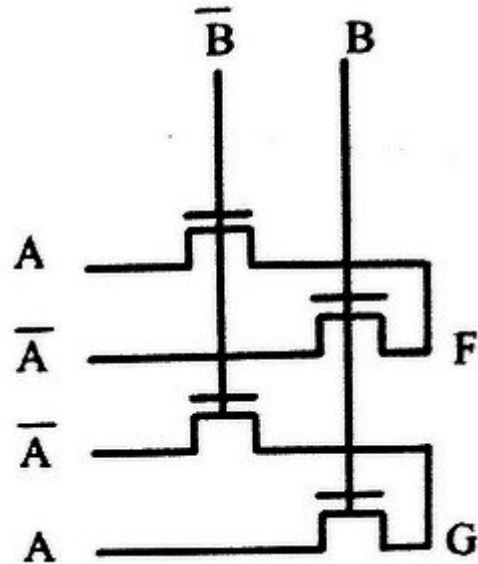
زمان آزمون (دقیقه) : تستي : ۶۰ تشریحي : ۶۰

تعداد سوالات : تستي : ۲۵ تشریحي : ۵

عنوان درس : طراحی سیستمهای VLSI

رشته تحصیلی/د درس : مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵

۱۸ - منطق گیت انتقالی زیر چیست؟



AND/NAND .۴

AND/OR .۳

XOR/XNOR .۲

NAND/AND .۱

۱۹ - برای ساخت خازن از فناوری CMOS استفاده می شود. بدین منظور، سطوح فلزی گیت و زیر لایه به عنوان صفحات خازن به کار می روند. اگر ضخامت اکسید بین 20nm تا 100nm باشد و صفحات خازن مربعی باشند و بخواهیم ظرفیت خازن مزبور

$$1\text{pF باشد، ماکزیمم ابعاد آنها چقدر خواهد بود؟ } \epsilon_{ox} = 3.5 \times 10^{-13} \text{ F/cm}$$

2.85 μm .۴23.89 μm .۳53.4 μm .۲16.9 μm .۱

۲۰ - کدام گزینه درست است؟

۱. هدایت انتقالی در دو قطبی ها مستقل از دما می باشد.
۲. ترانزیستورهای CMOS در مقایسه با دو قطبی ها به مساحت کمتری نیاز دارند.
۳. برای یک ترانزیستور nMOS در چاه P متصل به زمین، هنگامی که سطح واتاژ سورس به بالاتر از زمین می رسد، واتاژ آستانه شروع به کاهش می کند.
۴. برای ساخت مدارهای BiCMOS می توان دقیقا از همان فرآیند ساخت CMOS استفاده کرد.

۲۱ - کدام درست است؟

۱. یک تماس می تواند برای اتصال نفوذ n و نفوذ p به کار رود.
۲. یک Via می تواند برای اتصال پلی و فلز 2 به کار رود.
۳. یک تماس می تواند برای اتصال نفوذ و فلز 1 استفاده شود.
۴. ترانزیستورهای nMOS باید در یک زیر لایه-P یا چاه P قرار گیرند که آن نیز به V_{DD} اتصال پیدا می کند.

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

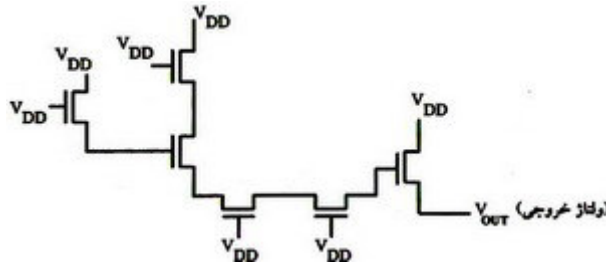
عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی: مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۰۵

۲۲- در مقایسه وارونگر با بار تخلیه ای با وارونگر با بار مقاومتی، در وارونگر با بار تخلیه ای حاشیه های نویز و مساحت چینش می باشد.

۱. کمتر، کوچکتر ۲. کمتر، بزرگتر ۳. بیشتر، کوچکتر ۴. بیشتر، بزرگتر

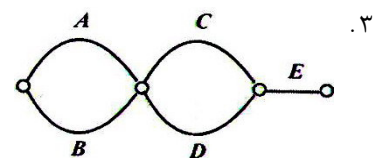
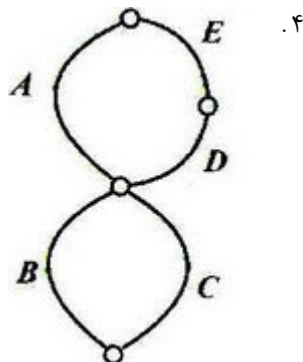
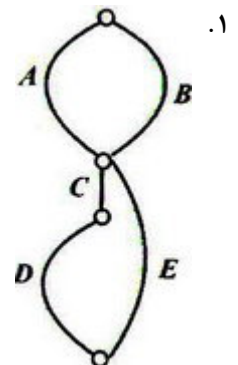
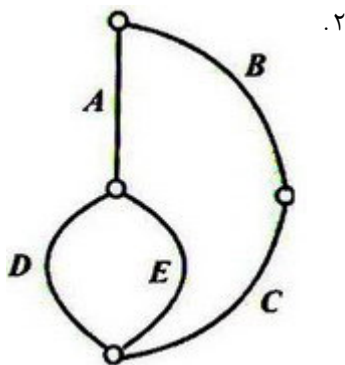
۲۳- ولتاژ خروجی در شکل زیر کدام است؟



۱. $V_{DD} - V_t$ ۲. $V_{DD} - 2V_t$ ۳. $V_{DD} - 3V_t$ ۴. $V_{DD} - 4V_t$

۲۴- گراف اولری شبکه PMOS متناظر با تابع زیر کدام است؟

$$out = \overline{A.(D + E) + B.C}$$



۲۵- یک گیت منطقی CMOS چنانچه ورودی اش در وضعیت بالا قرار بگیرد $2\mu A$ و چنانچه در وضعیت پایین قرار بگیرد $3.6\mu A$ از منبع تغذیه جریان می کشد. چنانچه $V_{DD} = 3.3V$ فرض شود، متوسط توان مصرفی این گیت را محاسبه کنید.

۱. $18.48\mu W$ ۲. $9.24\mu W$ ۳. $6.1\mu W$ ۴. $8.9\mu W$

سری سوال : ۱ یک

زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰

تعداد سوالات : تستی : ۲۵ تشریحی : ۵

عنوان درس : طراحی سیستمهای VLSI

رشته تحصیلی / د درس : مهندسی کامپیوتر (سخت افزار) ۱۱۵۲۰۵

سوالات تشریحی

نمره ۱.۴۰

۱- فرض کنید مسیرهای اولری nMOS و PMOS به صورت زیر باشند:

nMOS:ECDBA

PMOS:EDABC

تابع منطقی که این مدار پیاده سازی می کند، چیست؟ با رسم گراف توضیح دهید.

نمره ۱.۴۰

۲- ویژگیهای اساسی فناوری CMOS را نام برده و چهار فناوری اصلی CMOS را نام ببرید.

نمره ۱.۴۰

۳- تابع منطقی $Z = AB + BC + CA$ را به کمک گیت های انتقالی و ترانزیستور PMOS پیاده سازی کنید.

نمره ۱.۴۰

۴- یک وارونگر CMOS را با محاسبه W_p و W_n ترانزیستورهای nMOS و pMOS با مشخصات زیر طراحی کنید:

$$V_{DD} = 3.3V, V_{INV} = 1.65V$$

برای گذر V_{out} از $2.5V$ به $0.5V$ ، زمان تاخیر $0.4ns$ ، $C_{load} = 1pF$ و پارامترهای فرآیند و ترانزیستورها به

شرح زیر هستند:

$$K'_n = \mu_n C_{ox} = 140 \mu A/V^2$$

$$K'_p = \mu_p C_{ox} = 60 \mu A/V^2$$

$$L_n = L_p = 0.25 \mu m$$

$$W_{min} = 0.5 \mu m$$

$$V_{TH,n} = 0.6V, V_{TH,p} = -0.7V$$

نمره ۱.۴۰

۵- برش مقطعی از یک وارونگر در فرآیند چاه دوقلو با ذکر تمامی قسمت ها ترسیم نمایید.