

سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

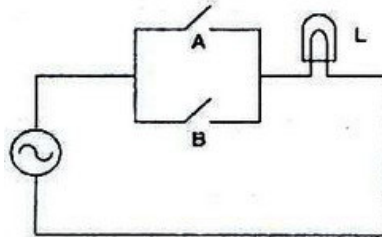
تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

استفاده از ماشین حساب ساده، ماشین حساب مهندسی مجاز است

۱- مدار سوئیچینگ زیر مربوط به کدام گیت منطقی است؟



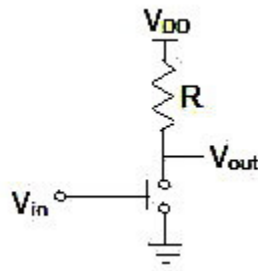
$$\text{OR}, L=A+B \quad .2$$

$$\text{AND}, L=A.B \quad .1$$

$$\text{AND}, L=A+B \quad .4$$

$$\text{OR}, L=A.B \quad .3$$

۲- در معکوس کننده پایه شکل زیر با فرض مقاومت کلید در حال وصل برابر  $R_{on}$ ، مقدار ولتاژ خروجی زمانیکه ورودی در سطح High قرار دارد چقدر است؟



۲. صفر

$$\frac{R_{on}}{R_{on} + R} \times V_{DD} \quad .1$$

۴. VDD

$$\frac{R}{R_{on} + R} \times V_{DD} \quad .3$$

سری سوال: ۱ یک

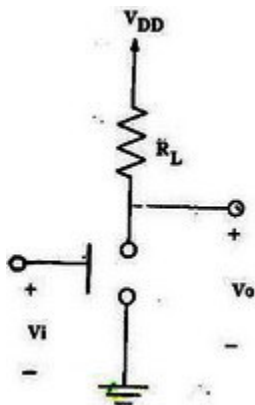
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۳- در مدار زیر که نقش یک کلید را دارد چه هنگام کلید باز است؟



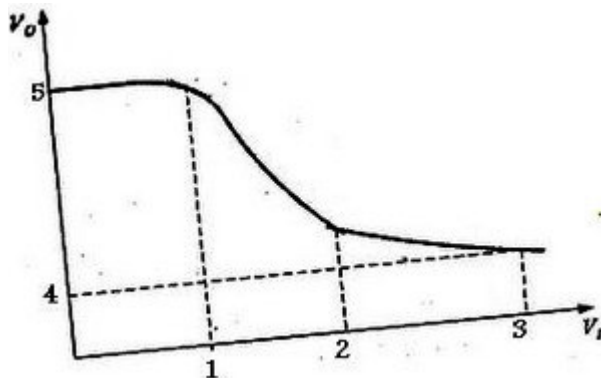
۰۲ وقتی که  $V_i$  بالا است. (بالاتر از ولتاژ آستانه مشخص)

۰۱ وقتی که  $V_i$  پایین است. (حدود صفر ولت)

۰۴ وقتی که مقدار  $V_o$  دقیقاً صفر ولت شود.

۰۳ وقتی که مقدار  $V_o$  پایین شود. (حدود صفر ولت)

۴- با توجه به شکل رسم شده،  $V_{IL}$  در کدام محل قرار دارد؟



۴ . ۴

۳ . ۳

۲ . ۲

۱ . ۱

۵- مقدار جریان خروجی گیت تحریک کننده در حالت بالا  $71.4mA$  ، مقدار جریان خروجی گیت تحریک کننده در حالت

پایین  $54.3mA$  ، مقدار جریان ورودی گیت تحریک شونده در حالت بالا  $98.9mA$  و مقدار جریان ورودی گیت

تحریک شونده در حالت پایین  $2.43mA$  می باشد. ظرفیت خروجی این گیت چقدر است؟

۱۰ . ۴

۱۵۰ . ۳

۲۳ . ۲

۲۲ . ۱

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۶- ظرفیت خروجی یک گیت با مشخصات زیر کدام است؟

$$I_{OUT}(Low) = 54.3mA$$

$$I_{OUT}(High) = 71.4mA$$

$$I_{IN}(Low) = 2.43mA$$

$$I_{IN}(High) = 98.9\mu A$$

۹۸۹ .۴

۷۲۱ .۳

۲۲ .۲

۲۱ .۱

۷- در طراحی گیت های منطقی اگر جریان منبع کاهش یابد، تلفات توان و زمان تأخیر انتشار به ترتیب از راست به چپ چه تغییری می کنند و هر چه حاصلضرب تأخیر - توان (DP) یک گیت . . . . . باشد آن خانواده کارآمدتر است.

۰۲ . کاهش، افزایش - کمتر

۰۱ . کاهش، افزایش - بیشتر

۰۴ . افزایش، کاهش - کمتر

۰۳ . افزایش، کاهش - بیشتر

۸- در کدام یک از مدارهای دیجیتال زیر ترکیبی از دونوع ترانزیستور MOS و دو قطبی وجود دارد؟

۰۲ . CMOS و NMOS

۰۱ . TTL

۰۴ . ECL

۰۳ . BiCMOS

۹- جریان دیود زمانیکه  $V_D \ll 0$  باشد برابر است با:

۰۴ . باید مقادیر داده شود.

۰۳ .  $-I_S$ ۰۲ .  $I_S$ 

۰۱ . صفر

۱۰- با استفاده از رابطه ی شاکلی مقدار جریان دیود پیوندی PN را در حالت بایاس مستقیم با  $V_D = 0.7V$  و در دمای ۳۰۰ درجه کلونین کدام است؟

$$I_S = 10^{-14} A, K = 1.34 \times 10^{-23}, q = 1.6 \times 10^{-19}$$

۲۹,۸mA .۴

۱۴,۵mA .۳

۴,۸۵mA .۲

۷۹۰mA .۱

سری سوال: ۱ یک

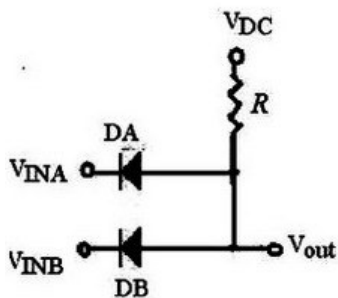
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۱۱- مدار زیر مربوط به کدام گیت منطقی است؟



OR .۴

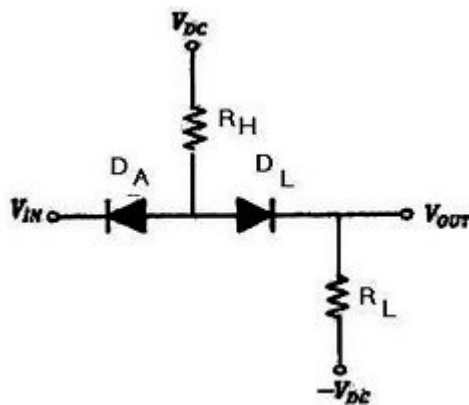
NOR .۳

NAND .۲

AND .۱

۱۲- در مدار شکل زیر، ولتاژ خروجی مینیمم ( $V_{OL}$ ) و ماکزیمم ( $V_{OH}$ ) به ترتیب از راست به چپ کدامند؟

$$V_{DC} = 4v, V_D(ON) = 0.7v, R_H = 1K\Omega, R_L = 1K\Omega$$



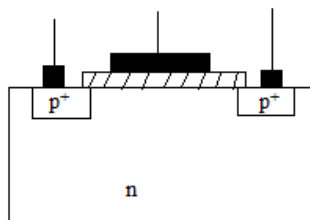
۰،۳۵،۴ .۴

۰،۳۵،۴ .۳

۰،۳۵،-۴ .۲

۰،۳۵،-۴ .۱

۱۳- شکل زیر ساختار چه عنصری را نشان می دهد؟



۰۴ ترانزیستور دوقطبی

۰۳ ترانزیستور PMOS

۰۲ ترانزیستور NMOS

۰۱ دیود PN

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۱۴- کدام گزینه در مورد ترانزیستور دو قطبی صحیح نمی باشد؟

۱. از سه ناحیه نیمه رسانا به نامهای امیتر، بیس و کلکتور تشکیل می شود.
۲. در این ترانزیستور الکترون ها و حفره ها هر دو جریان را هدایت می کنند.
۳. در حالت اشباع پیوندهای بیس-امیتر و بیس-کلکتور هر دو بایاس مستقیم می باشند.
۴. معمولاً غلظت بیس را بالا می گیرند تا اینکه جریان دهی در جهت مستقیم بیشتر باشد.

۱۵- اگر در ترانزیستور npn زیر بایاس دیود  $D_1$  و  $D_2$  به ترتیب مستقیم، مستقیم باشند، وضعیت به کدام صورت خواهد بود؟

۱. اشباع
۲. قطع
۳. فعال معکوس
۴. فعال مستقیم

۱۶-..... نسبت به..... دارای سرعت سوئیچینگ بالاتر و ظرفیت خروجی بزرگتر است و در..... برای جلوگیری از اشباع زوج تفاضلی BJT به صورت کلید جریان به کار می رود. (از راست به چپ)

۱. ECL, TTL, ECL

۲. ECL, TTL, ECL

۳. TTL, ECL, TTL

۴. TTL, TTL, ECL

۱۷- برای یک ترانزیستور NMOS تخلیه ای  $\lambda = 0.02$ ,  $k_n = 200 \mu A / v^2$ ,  $V_t = -2v$  می باشد، به ازاء $V_{GS} = 0, V_{DS} = 1v$  ترانزیستور در چه ناحیه ای است و جریان درین چقدر است؟

۱. خطی،  $300 \mu A$
۲. خطی،  $306 \mu A$
۳. اشباع،  $816 \mu A$
۴. اشباع،  $800 \mu A$

۱۸- کدام گزینه در مورد منطق RTL صحیح نیست؟

۱. fan - in برای گیت NAND در منطق RTL محدود است.
۲. fan - in برای گیت NOR در منطق RTL نامحدود است.
۳. اتلاف توان زیاد از معایب منطق RTL است.
۴. فلیپ فلاپ SR از نوع RTL در واقع از تزویج ضربدری دو گیت NAND بدست می آید.

۱۹- اگر برای گیت NAND که با منطق RTL پیاده سازی شده است.

 $V_{CE} (SAT) = 1.7v, V_{BE} (FA) = 0.7v$  باشد، تعداد ورودهای مجاز گیت نباید بیشتر از..... ورودی

باشد.

۱. ۲

۲. ۳

۳. ۴

۴. ۵

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

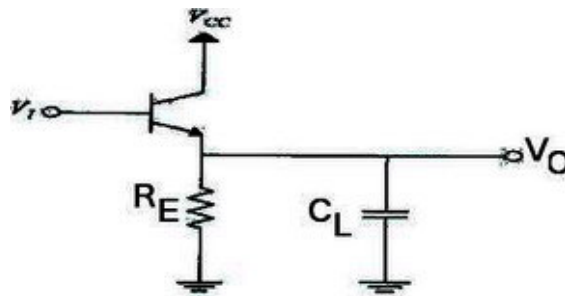
رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۲۰- برای اتصال CMOS به STTL از چه واسطی استفاده می شود؟

۰۱. مقاومت بالابر  
۰۲. مدار شیفت دهنده سطح ولتاژ  
۰۳. بافر  
۰۴. مقاومت پایین بر

۲۱- کدام یک از گزینه های زیر بیان کننده تفاوت DTL و TTL است؟

- الف. به جای دیودهای شیفت دهنده ولتاژ Q2 قرار گرفته است.  
ب. RB به جای اتصال به تغذیه منفی به ولتاژ Q2 وصل شده است.  
ج. RB به جای اتصال به تغذیه مثبت به ولتاژ زمین متصل است.  
۰۱. گزینه الف  
۰۲. گزینه ب  
۰۳. گزینه ج  
۰۴. گزینه الف و ج

۲۲- مدار شکل زیر، وقتی  $V_1$  به ترتیب بالا و پایین باشد، خازن  $C_L$  به ترتیب از راست به چپ چه تغییری می کند؟

۰۱. سریعاً تخلیه می شود، سریعاً شارژ می شود.  
۰۲. سریعاً شارژ می شود، به آرامی تخلیه می شود.  
۰۳. به آرامی تخلیه می شود، سریعاً شارژ می شود.  
۰۴. سریعاً تخلیه می شود، به آرامی شارژ می شود.

۲۳- در یک گیت NAND از نوع TTL شاتکی، با کاهش مقدار مقاومتها چه اتفاقی رخ می دهد؟

۰۱. افزایش زمان تاخیر  
۰۲. کاهش سرعت  
۰۳. کاهش اتلاف توان  
۰۴. افزایش اتلاف توان

۲۴- در منطق ترانزیستور - ترانزیستور، TTL باعث ..... نمی شود.

۰۱. افزایش ظرفیت خروجی  
۰۲. افزایش سرعت سوئیچینگ  
۰۳. کاهش مساحت تراشه  
۰۴. افزایش توان مصرفی

۲۵- در مدار گیت TTL استاندارد، وظیفه ترانزیستور طبقه میانی کدام است؟

۰۱. جلوگیری از اشباع ترانزیستور ورودی  
۰۲. کاهش حاشیه امنیت نویز  
۰۳. شیفت دهنده سطح ولتاژ  
۰۴. تولید دو سیگنال خروجی مکمل

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات (چندبخشی)، مهندسی فناوری اطلاعات ۱۵۱۱۰۰۵

۲۶- برای افزایش سرعت TTL چه کار می کنند؟

۱. بین بیس و کلکتور، دیود شاتکی گذاشته می شود.

۲. یکی از ورودی ها را در حالت بالا قرار می دهند.

۳. ترانزیستور چند امیتری را بین بیس و کلکتور قرار می دهند.

۴. کاری می کنند تا حاشیه های نویز بالا و پایین در آن برابر شوند.

۲۷- از بدست آمدن دو خروجی مکمل گیت ECL کدام توابع منطقی تحقق می یابند؟

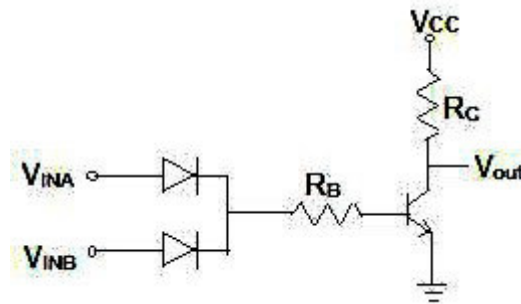
۴. OR و XNOR

۳. XOR و XNOR

۲. OR و NOR

۱. AND و NAND

۲۸- مدار شکل زیر مانند چه گیتی عمل می کند؟



۴. OR

۳. NOR

۲. AND

۱. NAND

۲۹- کدام نوع خانواده ی منطقی TTL شاتکی نسبت به زیر خانواده های دیگر دارای سرعت بهتری است؟

۴. MECL

۳. FAST

۲. ALSTTL

۱. LSTTL

۳۰- دلیل استفاده بیشتر CMOS نسبت به NMOS کدام است؟

۴. DFF بیشتر

۳. جریان متوسط بیشتر

۲. تأخیر انتشار کمتر

۱. توان مصرف کمتر