



سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام گزینه بیانگر ویژگی طراحی با استفاده از تراشه های استاندارد، در مقایسه با تراشه های قابل برنامه ریزی است؟

۱. تست مدار آسان تر است.

۲. امنیت طرح در مقابل کپی برداری بیشتر است.

۳. هزینه ساخت و نگهداری بیشتری دارد.

۴. سرعت سیستم بیشتر است.

۲- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

منطق آرایه ای قابل برنامه ریزی ترتیبی (sequential PAL - PAL16R8)

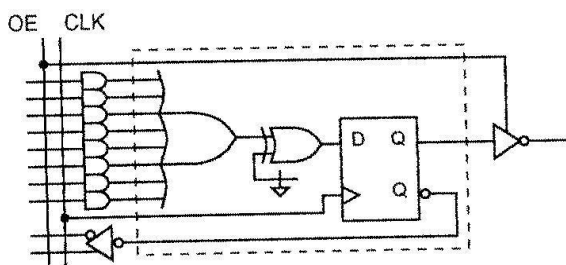
۱. خروجی تثبیت شده ندارد.

۲. وقتی خروجی ها غیر فعال هستند فلیپ فلاپهای داخلی، نمی توانند تغییر وضعیت دهند.

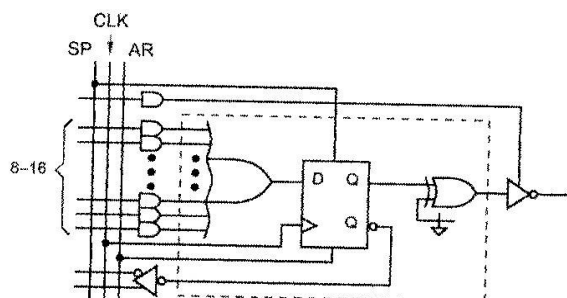
۳. خروجی فلیپ فلاپها نمی توانند بدون عبور از بافر های سه حالتی وارد آرایه های AND-OR شوند.

۴. یک سری D فلیپ فلاپ دارد که بین طبقه OR و هشت خروجی قرار گرفته است.

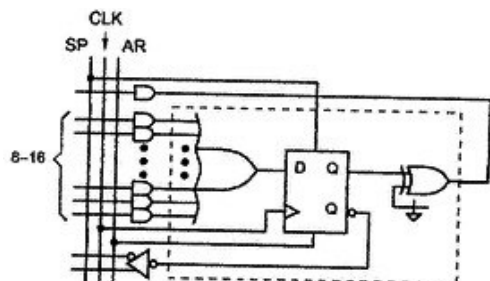
۳- کدام گزینه مربوط به درشت سلول منطقی (ماکروسل) با خروجی تثبیت شده مربوط به GAL22V10 است؟



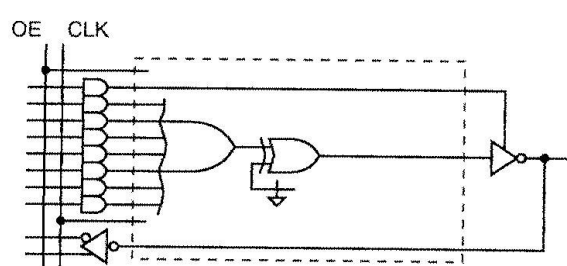
.۲



.۱



.۴



.۳

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۴- کدام گزینه در مورد تراشه PAL16L8 غلط است؟

۱. هر خروجی یک کنترل خروجی سه حالتی مخصوص به خود دارد.
۲. تعدادی از خروجی ها می توانند به عنوان ورودی نیز استفاده شوند.
۳. اگر یک جمله ضربی در دو دروازه OR مورد نیاز باشد باید دوبار ایجاد شود.
۴. بین دروازه OR و خروجی سه معکوس کننده وجود دارد.

۵- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

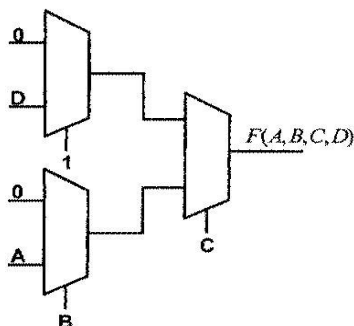
یک از تعداد زیادی تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ها هستند.

۲. CLB - CLB - FPGA

۱. CLB - FPGA - CLB

۴. FPGA - CLB - FPGA

۳. FPGA - FPGA - CLB

۶- بر اساس ساختار مبتنی بر انتخاب کننده ها (MUX)، شکل زیر کدام تابع را، پیاده سازی می کند؟

۲. $F(A,B,C,D) = CD + AB'C'$

۱. $F(A,B,C,D) = C'D + ABC$

۴. $F(A,B,C,D) = AB'C$

۳. $F(A,B,C,D) = AB'C'$

۷- کدام گزینه بیان غلطی از CLB ارائه می کند؟

۱. مهمترین عناصر قابل برنامه ریزی CLB ها مولدهای تابع منطقی هستند.
۲. در هر CLB دو مولد به نام های F و E وجود دارد.
۳. یک FPGA از تعداد زیادی CLB تشکیل شده است.
۴. بالا رونده یا پائین رونده کار کردن کلاک پالس قابل انتخاب است.



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۸- کدام گزینه شناسه غیر معتبری در زبان VHDL است؟

۱. gate-input ۲. My_gate1 ۳. X10 ۴. x_10

۹- کدام گزینه بیان غلطی در مورد VHDL ارائه می کند؟

۱. جملات هم روند به صورت موازی اجرا می شوند.
۲. دستورالعمل های انتساب سیگنال به صورت هم روند اجرا می شود.
۳. ترتیب در دستورالعمل های انتساب مهم است.
۴. هر تغییر در مقدار سیگنال یک رخداد نام دارد.

۱۰- کدام گزینه جزء مدلسازی ساختاری نمی باشد؟

۱. اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.
۲. معرفی سیگنالهایی که شبکه اتصالی بین مولفه هارا تشکیل می دهند.
۳. به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.
۴. سیگنالها و مولفه ها در قسمت component تعریف می شوند

۱۱- کدام گزینه جمله زیر را به طور صحیح کامل می کند:

..... شامل یک سری دستور برای انجام یک کار است و..... شامل مجموعه ای از دستورات جهت محاسبه یک مقدار است.

۱. تابع - پروسیجر
۲. کتابخانه - تابع
۳. کتابخانه - پروسیجر
۴. پروسیجر - تابع

۱۲- در زبان VHDL کدام گزینه غلط است؟

۱. با استفاده از دستور Generic می توان مدارات پارامتری ایجاد نمود.
۲. برای مدل کردن تأخیر خطوط سیمی در بردها از تأخیر لختی (اینرسی) استفاده می شود.
۳. امکان مدل کردن تأخیرهای لختی و انتقال وجود دارد.
۴. با در نظر گرفتن تأخیر دلتا ترتیب ارزیابی ها در نتایج شبیه سازی بی تأثیر خواهد شد.



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۱۳- کدام گزینه در مورد برطرف کردن محدودیت های نام گذاری شناسه های اصلی در VHDL صحیح نیست؟

۱. استفاده از کلمات رزرو شده و شناسه هلی اصلی در شناسه های گسترش یافته مجاز است .
۲. تمام شناسه های گسترش یافته بین دو علامت " \" قرار می گیرند.
۳. کلمات رزرو شده و شناسه هلی اصلی در شناسه های گسترش یافته به عنوان یک شناسه متفاوت در نظر گرفته می شود.
۴. یک شناسه گسترش یافته به حروف بزرگ و کوچک حساس نیست.

۱۴- در مورد دستورات شرطی کدام گزینه غلط است؟

۱. دستور Basic-Loop شرط تکرار ندارد، بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.
۲. دستور While-Loop برای جاهائی که تعداد دفعات تکرار با یک integer شمارش می شود، بکار می رود.
۳. دستور exit از روی باقیمانده دستورات loop پرش کرده و اجرای برنامه را از دستور بعد از loop ادامه می دهد.
۴. دستور next باقیمانده دستورات تکرار جاری حلقه را رها کرده و به تکرار بعدی حلقه می رود.

۱۵- قطعه برنامه زیر توصیف کننده کدام گزینه است؟

```

Process (I0, I1, I2, sel
begin
  case sel is
    when "00" => 0 < I0;
    when "01" => 0 < I1;
    when "10" => 0 < I2 ;
    when "11 " => 0 < I3;
    when others =>
  end case;
end process ;

```

۰۴ دی مالتی پلکسر

۰۳ دیکدر

۰۲ مالتی پلکسر

۰۱ انکدر



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۱۶- قطعه برنامه زیر چه گیتی را توصیف می کند؟

```

signal state: std_logic;

signal input: std_logic_vector(1 downto 0)

begin
    input <= a&b;

p:process(clock,reset) is
begin
    if(reset='1')then;
        state <='0';
    elsif(rising_edge(clock)) then
        case(input)is
            when "11"=>
                state <= not state;

            when "10"=>
                state <= '1';

            when "01"=>
                state <= '0';

            when others =>
                null;

        end case;
    end if;
end process;

Q <= state
Qbar <= not state

```

۲. ثبات دو بیتی

۴. R-S فلیپ فلاپ

۱. J-K فلیپ فلاپ

۳. شمارنده دو بیتی



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۱۷- کد زیر کدام گزینه را بصورت رفتاری مدل می کند؟

```

Entity test1 is
  PortId _ in: in std_logic_vector (7downto0);
  En: in std_logic;
  d_out std_logic_vector (7downto0)
End test1
Arachitecture behavior of test1 is
Begin
  Process (d_in, en)
  Begin
    If en= '1' then
      d_out ← d_in;
    Else
      d_out ← "zzzzzzzz" ;
    Endif;
  End process
End behavior;

```

۰۴. دی مالتی پلکسر

۰۳. مالتی پلکسر

۰۲. بافر سه حالت

۰۱. دیکدر



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۱۸- قطعه برنامه زیر بیانگر کدام گزینه می باشد؟

ARCHITECTURE test IS

TYPE vector_array IS ARRAY (0 TO words-1) OF

STD_LOGIC_VECTOR (bits-1 DOWNT0 0);

ONSTANT memory: vector_array := ("10000000",

"01000000",

"00100000",

"00010000",

"00001000",

"00000100",

"00000010",

"00000001",

"10000000");

BEGIN

Process (Enable, Read, Addr)

Begin

If Enable = '1' then

if (Read = '1') then

Data <= memory (addr);

else Data <= "zzzzzzzz" ;

end if ;

else Data <= "zzzzzzzz" ;

end if ;

end process ;

end ;

۲. RAM با گذرگاه ورودی/ خروجی دو طرفه

۱. RAM با ورودی خروجی مجزا

۴. حافظه فقط خواندنی

۳. RAM دو درگاه ۴*۴



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۱۹- کدام گزینه جمله زیر را به صورت صحیح کامل می کند.

در ماشین مقدار علاوه بر حالت فعلی به مقدار لحظه ای نیز بستگی دارد.

۰۱. مور - خروجی - ورودی

۰۲. مور - ورودی - خروجی

۰۳. میلی - خروجی - ورودی

۰۴. میلی - ورودی - خروجی

۲۰- کدام گزینه جمله زیر را به صورت صحیح کامل می کند؟

هر طرح دیجیتال شامل یک واحد و یک مسیر داده است. مسیر داده شامل واحد های مانند ثباتها و واحدهای مانند، ثبات انتقالی و مقایسه کننده می باشد.

۰۱. کنترل - حافظه - ترکیبی

۰۲. کنترل - ترکیبی - حافظه

۰۳. حافظه - کنترل - ترکیبی

۰۴. ترکیبی - کنترل - حافظه



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۲۱- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity q is
  Prot(data _ in: in std_logic
    clock: in std_logic;
    data _ out: out std_logic;
  end q;
```

architecture behave of q is

Begin

Process (data _ in, clock)

Begin

If (clock='1' and clock'event) then

data _ out <= data _ in;

end if;

End process

End behv;

۲. فلیپ فلاپ D

۱. بافر

۴. مالتی پلکسر

۳. معکوس کننده (NOT)

۲۲- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

هر توصیف طرح به زبان VHDL شامل حد اقل یک جفت entity/architecture یا یک و تعدادی می باشد. بخش برای تعریف درگاه های ورودی خروجی مدار استفاده می شود.

۲. entity - entity - architecture

۱. architecture - architecture - entity

۴. entity - architecture - entity

۳. architecture - entity - architecture



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱: یک

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

۲۳- در مورد نرم افزار MAX + PLUS کدام گزینه صحیح نیست؟

۱. این نرم افزار فقط زبان های را AHDL , Verilog پشتیبانی می کند.
۲. امکان وارد نمودن طرح به صورت شماتیک میسر است.
۳. ویرایشگر شکل موج، می تواند بردارهای تست را وارد نموده و نتایج شبیه سازی را فراهم کند.
۴. ویرایشگر شکل موج، می تواند طرح را از طریق نمودار زمانی ارائه نموده و با پسوند wdf ذخیره کند

۲۴- کدام گزینه در مورد کامپایلر صحیح نیست؟

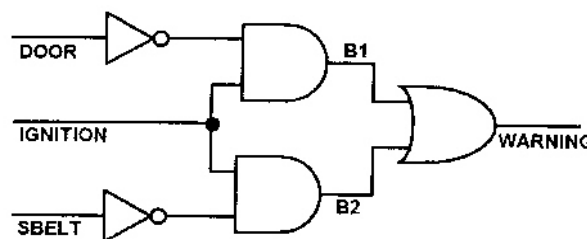
۱. partitioner : تقسیم بندی طرح خیلی بزرگ که در یک تراشه جا نشود.
۲. Timing Analyzer تولید اطلاعات برنامه ریزی تراشه را به عهده دارد و آنها را در یک یا چند فایل با پسوند pof قرار می دهد.
۳. database Builder : ترکیب اطلاعات همه فایل ها در یک پایگاه داده جهت دسترسی سریع به اطلاعات.
۴. filter عمل جایگذاری و مسیر دهی را انجام می دهد . اطلاعات مربوط به میزان استفاده و محل پایه ها در فایلی با پسوند rat ذخیره می شود.

۲۵- کدام گزینه مسیر مربوط به تنظیم اختیارات بهینه سازی در نرم افزار MAX+PLUSII را ارائه می کند؟

۱. Assign >Global Project Logic Synthesis
۲. Assign >Device
۳. MAX+PLUSII>Compiler
۴. Option>Grid size

سوالات تشریحی

۱- برنامه توصیف رفتاری و ساختاری مدار زیر را بنویسید.



شماتیک مدار هشدار دهنده

نمره ۱.۴۰

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

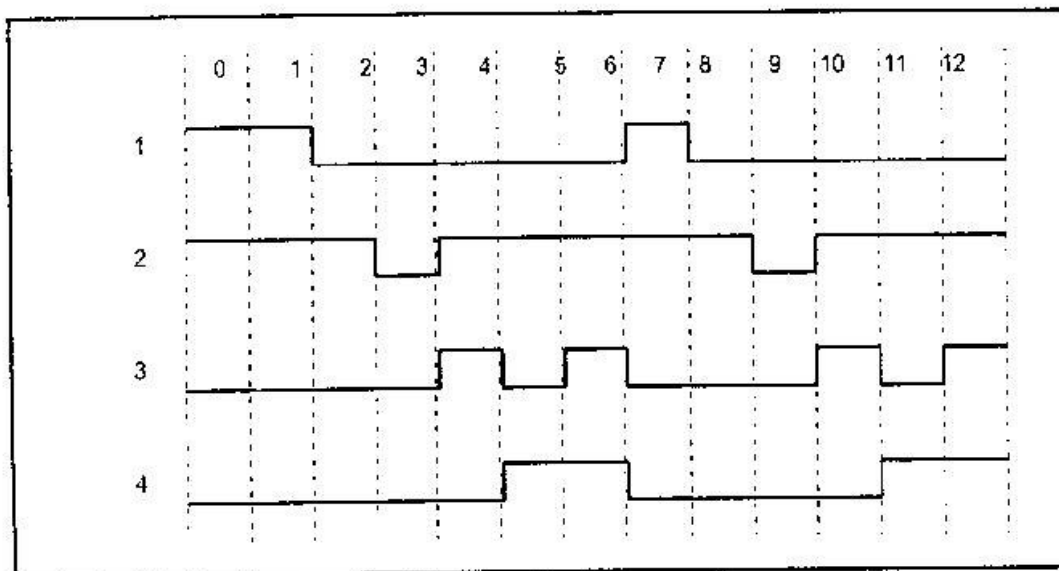
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۱۳

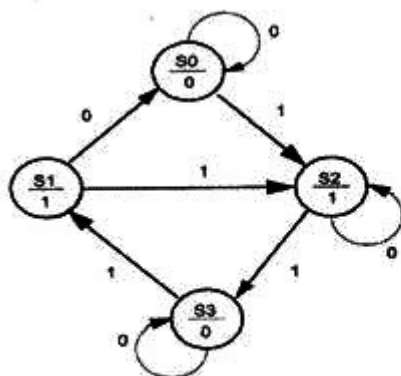
نمره ۱.۴۰

۲- برنامه ای بنویسید که (با استفاده از ROM) شکل موج زیر را ایجاد کند.



نمره ۱.۴۰

۳- توصیف رفتاری ماشینی با جدول و نمودار حالت به صورت زیر را بنویسید.



حالت فعلی	حالت بعدی		خروجی z
	X=0	X=1	
S0	S0	S2	0
S1	S0	S2	1
S2	S2	S3	1
S3	S3	S1	0

جدول و نمودار حالت ماشین مور

نمره ۱.۴۰

۴- در مورد مقایسه FPGA و CPLD چهار مورد را به اختصار توضیح دهید.

نمره ۱.۴۰

۵- قالب کلی موارد زیر را بنویسید:

الف: دستور انتساب سیگنال همروند ساده

ب: تعریف مولفه (component) شامل نام مولفه و واسط ها

ج: عملیات خواندن و تشخیص انتهای فایل