



سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۲

استفاده از ماشین حساب ساده مجاز است

۱- کدام گزینه عبارت زیر را به طور صحیح کامل می نماید؟ (به ترتیب از راست به چپ گزینه مورد نظر را در جای خالی قرار دهید)

مدت لازم برای رسیدن خروجی از ۹۰٪ به ۱۰٪ مقدار نهایی خود را با.....، و مدت لازم برای رسیدن خروجی از ۱۰٪ به ۹۰٪ مقدار نهایی خود را با..... نشان می دهند.

۰۴ . t_{PLH} ، t_{PHL} ۰۳ . t_{PHL} ، t_{PLH} ۰۲ . t_{TLH} ، t_{THL} ۰۱ . t_{THL} ، t_{TLH}

۲- یک معکوس کننده که تلف توان ایستای ناچیزی دارد با آهنگ یک مگاهرتز قطع و وصل می شود و با منبع تغذیه ۱۰ ولتی کار می کند و بار ۵۰ پیکوفاراد را تحریک می کند، تلف توان پویا و جریان میانگین کشیده شده از منبع تغذیه به ترتیب چقدر است؟

۰۲ . 0.25 mA ، 0.5 mW

۰۱ . 0.5 mA ، 0.5 mW

۰۴ . 0.5 mA ، 5 mW

۰۳ . 0.25 mA ، 5 mW

۳- کدام گزینه عبارت زیر را به طور صحیح کامل می کند؟

در دیودهای پیوندی PN، در حالت عادی مقداری نفوذ..... در نزدیکی ماده P، و مقداری نفوذ..... در نزدیکی ماده N وجود دارد و یک ناحیه تخلیه را در مرز پیوند بوجود آورده است، که در اثر اعمال یک ولتاژ مثبت به P (نسبت به N) می توان عرض این ناحیه را..... داد.

۰۲ . حفره، الکترون، کاهش

۰۱ . الکترون، حفره، کاهش

۰۴ . حفره، الکترون، افزایش

۰۳ . الکترون، حفره، افزایش

سری سوال: ۱ یک

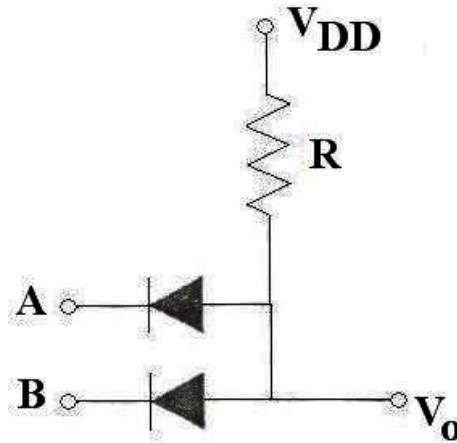
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۰۲

۴- مدار شکل زیر معادل کدام گیت منطقی می باشد؟



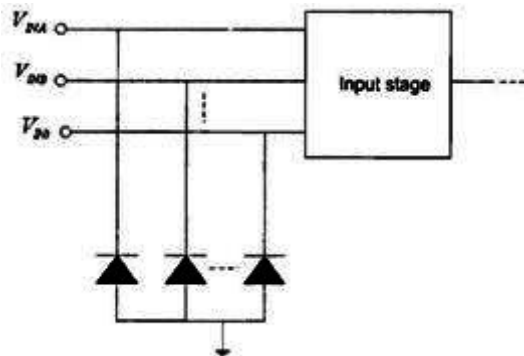
NOR .۴

OR .۳

NAND .۲

AND .۱

۵- در شکل زیر، دیودها به چه منظوری استفاده شده اند؟



۱. مشکل خرابی گیت هنگام تغییر ولتاژ ورودی از پایین به بالا را تعدیل می کنند.

۲. باعث می شود ورودی های گیت از $0/7$ - ولت بیشتر نشوند.

۳. باعث می شود ورودی های گیت از $0/7$ - ولت کمتر نشوند.

۴. باعث می شود ورودی های گیت از $0/7$ ولت کمتر نشوند.

۶- در یک ترانزیستور NMOS افزایشی، شرط وصل کردن ترانزیستور و شرط کار در ناحیه تریودی به ترتیب کدام است؟

۲. $V_{DS} \geq V_{GS} - V_t, V_{GS} > V_t$

۱. $V_{DS} \leq V_{GS} - V_t, V_{GS} > V_t$

۴. $V_{DS} \geq V_{GS} - V_t, V_{GS} < V_t$

۳. $V_{DS} \leq V_{GS} - V_t, V_{GS} < V_t$



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: الکترونیک دیجیتال

سری سوال: ۱ یک

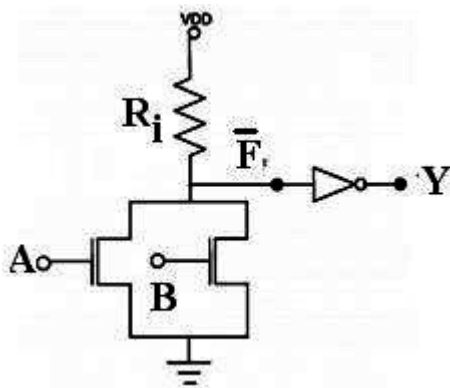
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۰۲

۷- کدام گزینه عبارات زیر را در مورد ترانزیستورهای NMOS افزایشی، به طور صحیح کامل می نماید؟

افزایش میزان تزریق ناخالصی در زیر لایه ولتاژ آستانه ترانزیستور را می دهد، و اثر کلی افزایش دمای ترانزیستور میزان جریان درین است.

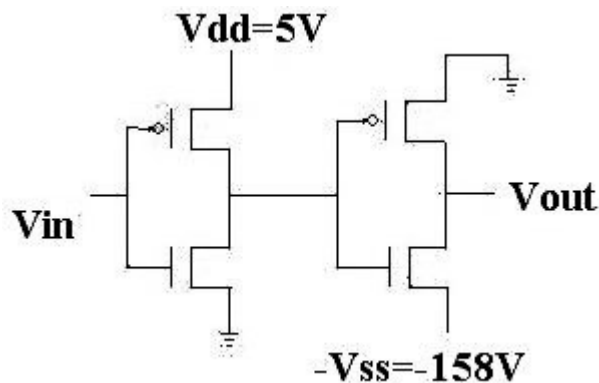
- ۰.۱ افزایش، افزایش ۰.۲ افزایش، کاهش ۰.۳ کاهش، کاهش ۰.۴ کاهش، افزایش

۸- گیت زیر کدام تابع را پیاده سازی می کند؟



- ۰.۱ $Y = A.B$ ۰.۲ $Y = \overline{A.B}$ ۰.۳ $Y = A + B$ ۰.۴ $Y = \overline{A + B}$

۹- اگر در مدار شکل زیر V_{in} برابر + و ۵ ولت انتخاب شود، این مدار می تواند به عنوان واسط کدام مدارها استفاده شود؟



- ۰.۱ n_D قطع و n_D خطی ۰.۲ n_D خطی و n_D اشباع ۰.۳ n_D اشباع و n_D خطی ۰.۴ n_D خطی و n_D قطع



سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)۱۱۵۲۰۲

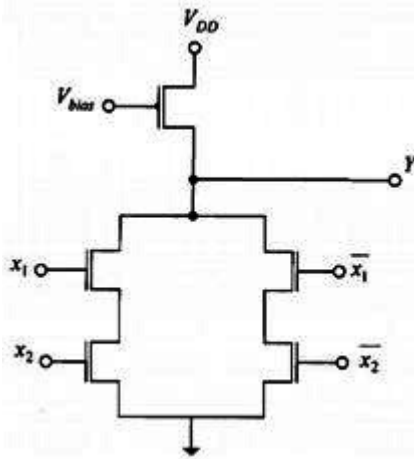
۱۰- برای یک MOSFET افزایشی کانال n، با فرض آنکه برای $V_{GS} = V_{DS} = 9v$ داریم $I_D = 4mA$ و برای $V_{GS} = V_{DS} = 5v$ مقدار $I_D = 1mA$ باشد، V_t چند ولت است؟

۱. 1 ۲. 1.2 ۳. 0.8 ۴. 0.4

۱۱- اساس کار مدارهای پویا کدام گزینه است ؟

۱. شارژ و دشارژ خازن های پارازیتی
۲. جلوگیری از اشباع ترانزیستورها
۳. استفاده از ترانزیستورهای عبور
۴. استفاده از چندین گیت به صورت زنجیره ای

۱۲- شکل زیر بیانگر چه گیتی است ؟



۱. مدار XOR با منطق CMOS پویا
۲. مدار XNOR با منطق CMOS پویا
۳. مدار XOR با منطق شبه NMOS
۴. مدار XNOR با منطق شبه NMOS

۱۳- کدام گزینه عبارت زیر را به طور صحیح کامل می نماید؟

اگر در خروجی مدارهای پویا یک معکوس کننده اضافه شود، ساختاری ایجاد می شود که به آن منطق گفته می شود.

۱. NORA ۲. دامینو ۳. تفاضلی ۴. شبه پویا



سری سوال: ۱ یک

زمان آزمون (دقیقه): ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۰۲

۱۴- در مورد مقایسه بین لچ ها و فلیپ فلاپ ها چه می توان گفت؟

۱. لچ ها حساس به سطح و فلیپ فلاپ ها حساس به لبه می باشند و هر دو تنها به صورت پویا پیاده سازی می شوند.
۲. لچ ها حساس به لبه و فلیپ فلاپ ها حساس به سطح می باشند و هر دو تنها به صورت پویا پیاده سازی می شوند.
۳. لچ ها حساس به سطح و فلیپ فلاپ ها حساس به لبه می باشند و هر دو هم به صورت پویا و هم به صورت ایستا پیاده سازی می شوند.
۴. لچ ها حساس به سطح هستند و تنها به صورت پویا پیاده سازی می شوند اما فلیپ فلاپ ها حساس به لبه هستند و هم به صورت پویا و هم به صورت ایستا پیاده سازی می شوند.

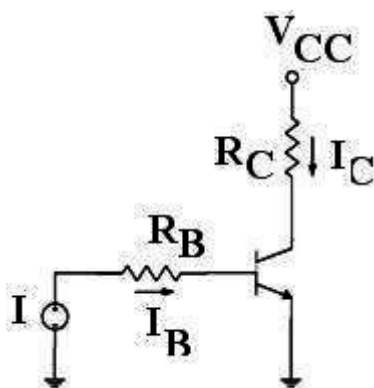
۱۵- کدام گزینه عبارات زیر را به طور صحیح کامل می نماید؟

در ساختمان ترانزیستورهای دوقطبی، عرض را بزرگتر می سازند تا اینکه بارهای رسیده از امیتر را به راحتی جمع کند. و غلظت را معمولاً بالا می گیرند تا اینکه جریان دهی در جهت مستقیم بیشتر باشد.

۱. کلکتور، بیس
۲. کلکتور، امیتر
۳. بیس، امیتر
۴. بیس، کلکتور

۱۶- در مدار شکل زیر حداکثر جریانی که کلکتور می تواند دریافت کند بدون آنکه ترانزیستور از ناحیه فعال خارج شود چقدر است؟

(فرض کنید $V_{CC}=5\text{ v}$, $V_{BE}=0.7\text{ v}$, $R_B=10\text{ k}\Omega$, $R_C=1\text{ k}\Omega$, $\beta=100$)



۱. 4.3 mA ۲. 0.43 mA ۳. 5 mA ۴. 0.5 mA

سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۲

۱۷- ماکزیمم ظرفیت خروجی برای یک گیت پایه RTL با توجه به مقادیر زیر کدام گزینه است ؟

$$V_{CC}=5\text{ v} , R_B=10\text{ k}\Omega , R_C=1\text{ k}\Omega , \beta_f=40 , V_{BE(sat)}=V_{BE(FA)}=0.8\text{ v} , V_{CE(sat)}=0.2\text{ v}$$

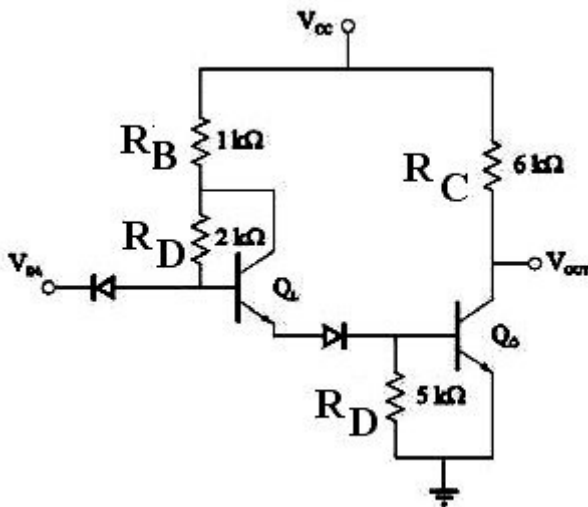
۲۵ .۴

۱۲ .۳

۹ .۲

۴ .۱

۱۸- V_{IL} مدار زیر چند ولت می باشد؟ ($V_{BE(sat)} = 0.8, V_{BE(FA)} = 0.7, V_{CE(sat)} = 0.2, V_D(on) = 0.7$)



0 .۴

1.4 .۳

1.6 .۲

2.3 .۱

۱۹- در مدار گیت TTL استاندارد به کدامیک از ترانزیستورها، ترانزیستور بالابر گویند ؟

۰۲ ترانزیستور دنبالگر امیتر طبقه توتم پل

۰۱ ترانزیستور امیتر مشترک طبقه توتم پل

۰۴ ترانزیستور ورودی

۰۳ ترانزیستور جداساز فاز طبقه میانی

سری سوال: ۱ یک

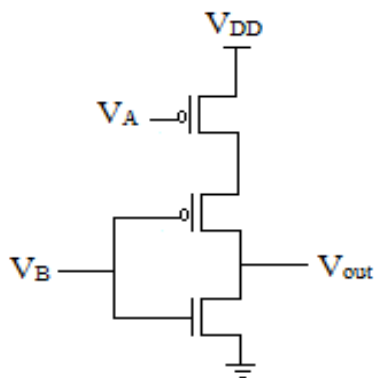
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۰۲

۲۰- در مدار شکل زیر اگر V_A بالا و V_B پایین باشد، خروجی چه حالتی پیدا می کند؟



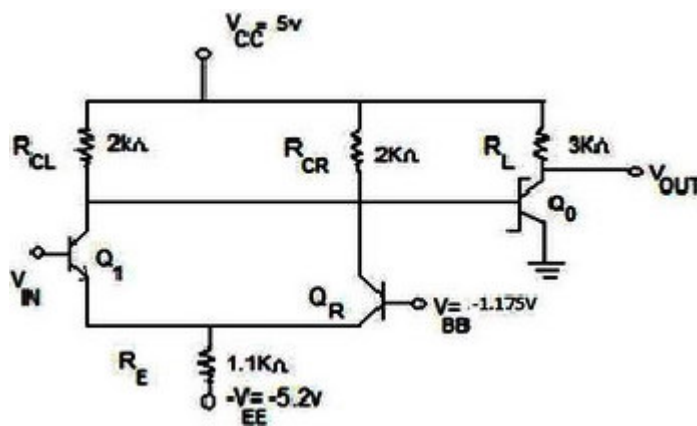
۰۴ نامشخص

۰۳ پایین

۰۲ امپدانس بالا

۰۱ بالا

۲۱- اگر در مدار شکل زیر $V_{IH} = -0.77V$ و $V_{IL} = -1.58V$ باشد، این مدار مبدل چه خانواده هایی است؟



۰۲ ECL به STTL

۰۱ STTL به ECL

۰۴ CMOS به STTL

۰۳ ECL به CMOS



سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۵۲۰۲

۲۲- در مدار گیت پایه ECL، وظیفه طبقه میانی متشکل از Q_1 ، D_1 ، D_2 ، R_1 ، R_2 ، R_3 چیست؟

۰۲. تولید ولتاژ مرجع

۰۱. تولید سیگنال های مکمل

۰۴. انتقال سطح ولتاژ

۰۳. پر کردن خازن های بار

۲۳- به چه علت از ترانزیستورهای دنبالگرامیتر در طبقه خروجی مدار گیت پایه ECL استفاده می شود؟

۰۱. تراز سیگنال های ورودی را به اندازه یک افت ولتاژ انتقال می دهند.

۰۲. جریان خروجی زیاد لازم برای پر کردن خازن های بار را تأمین می کنند.

۰۳. هر کدام تأخیر زمانی خاصی را در خروجی ایجاد می کنند.

۰۴. باعث کم شدن جریان خروجی می شود.

۲۴- کمترین تأخیر انتشار و کمترین میزان اتلاف توان به ترتیب در بین کدامیک از خانواده های منطقی یافت می شود؟

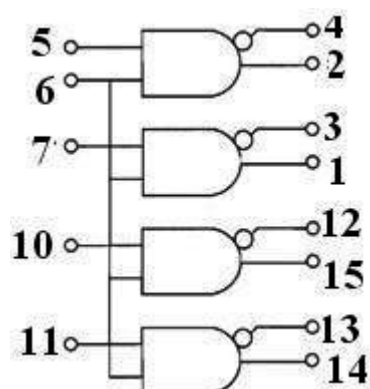
۰۴. CMOS ، GaAs

۰۳. TTL ، GaAs

۰۲. CMOS ، ECL

۰۱. TTL ، ECL

۲۵- کدام گزینه بیانگر عملکرد مدار شکل زیر می باشد؟



۰۲. مبدل چهارتایی ECL به STTL

۰۱. مبدل چهارتایی STTL به ECL

۰۴. مبدل چهارتایی CMOS به STTL

۰۳. مبدل چهارتایی STTL به CMOS



سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

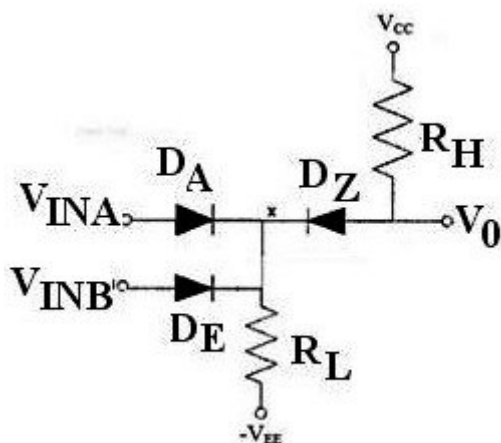
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) ۱۱۱۵۲۰۲

سوالات تشریحی

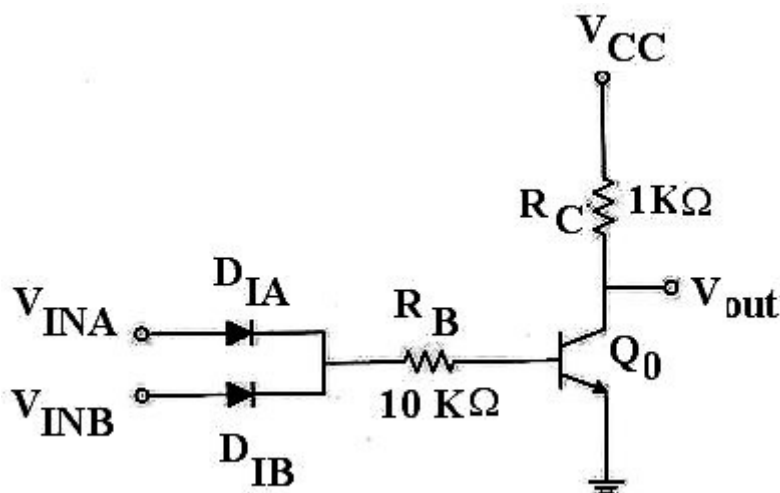
- ۱- در شکل زیر یک مدار گیت OR دیودی با سطح منتقل شده نشان داده شده است. مقادیر ولتاژ خروجی مینیمم و ماکزیمم را بدست آورید. (فرض کنید $V_{D(ON)}=0.7\text{ v}$, $V_{CC}=-V_{EE}=+4\text{ v}$, $R_L=2\text{ k}\Omega$, $R_H=1\text{ k}\Omega$)



نمره ۱.۴۰

- ۲- در مدار شکل زیر اولاً مشخص کنید که چه تابعی را پیاده سازی می کند، ثانیاً با فرض $V_{INA} = V_{INB}$ مقادیر NM_L, NM_H را حساب کنید.

$$(\beta = 50, V_{CE(sat)} = 0.2\text{ v}, V_{BE(sat)} = 0.8\text{ v}, V_{BE(FA)} = 0.7\text{ v}, V_D(on) = 0.7\text{ v}, V_{CC} = 5\text{ v})$$



نمره ۱.۴۰

- ۳- یک گیت NAND دو ورودی TTL رسم کنید.

نمره ۱.۴۰

- ۴- یک مقایسه کننده چهاربیتی با منطق دامینو بسازید. این مقایسه کننده باید به صورت انتشار بیت پیاده سازی گردد و از مقایسه کننده های تک بیتی تشکیل گردد.



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: الکترونیک دیجیتال

سری سوال: ۱ یک

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۲

۵- برای مدار شکل زیر مقادیر V_{IH} ، V_{IL} ، V_{OH} ، V_{OL} و توان مصرفی ایستای گیت را محاسبه کنید. فرض کنید
هیچ گیتی توسط مدار تحریک نمی شود و داریم:

$$V_{CE(SAT)}=0.2 \text{ v}, V_{BE(FA)}=0.7 \text{ v}, V_{BE(SAT)}=0.8 \text{ V}, \beta_F=40$$

