

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: یک ۱

عنوان درس: VLSI طراحی مدارهای، VLSI طراحی سیستمهای

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) - ۱۱۱۵۲۰۵ - مهندسی برق - گرایش الکترونیک ۱۳۱۹۱۷۵

استفاده از ماشین حساب مهندسی مجاز است

۱- تعداد die در یک ویفر با قطر 30 سانتی متر، با فرض آنکه اندازه مساحت die $0.7cm^2$ باشد، مطابق کدام گزینه می باشد؟

۱. 790 ۲. 1009 ۳. 930 ۴. 321

۲- یک گیت انتقالی CMOS با $|V_{TH}| = 1V$ ، $K'(W/L) = 100 \mu A/V^2$ و سیگنال های کنترلی $\pm 5V$ کار می کند. سیگنال ورودی در محدوده صفر تا پنج ولت تغییر می کند، مقاومت سوئیچ به ازای مقادیر حدی چقدر است؟

۱. $333 k\Omega$ ۲. $1.25 k\Omega$ ۳. $25 k\Omega$ ۴. $3.33 k\Omega$

۳- در جریان ابزار ASIC از کدام ابزار برای تبدیل نمایش RTL به سطح گیت استفاده می شود؟

۱. ابزار سنتز منطقی ۲. ابزار شبیه سازی ۳. ابزار مسیره‌ی ۴. ابزار بازبینی

۴- کمترین تعداد ترانزیستوری که می توان به کمک آنها مدار سوئیچی تابع AND را طراحی کرد کدام است؟

۱. 8 ۲. 6 ۳. 4 ۴. 2

۵- در یک وارونگر CMOS برای پیشگیری از بایاس مستقیم (forward biasing) پیوند p-n بین زیر لایه نوع P و سورس و یا درین nMOS، باید زیر لایه را به پتانسیل و چاه n را به پتانسیل متصل کرد.

۱. زیاد، کمتر ۲. کم، بیشتر ۳. کم، کمتر ۴. زیاد، بیشتر

۶- در ترانزیستورهای عبور، ترانزیستور نوع P برای عبور مقدار منطقی و ترانزیستور نوع N برای عبور مقدار منطقی بسیار مناسب می باشند و سوئیچ عمل می کند.

۱. 0,1، یک طرفه ۲. 1,0، یک طرفه ۳. 0,1، دو طرفه ۴. 1,0، دو طرفه

۷- در ساخت یک وارونگر CMOS از چند ماسک استفاده می شود؟

۱. 4 ۲. 6 ۳. 8 ۴. 10

۸- تابع $f = \overline{(A+B+C)} \cdot \overline{(D+E+F)}$ معادل چیست؟

۱. OAI32 ۲. AOI33 ۳. OA33 ۴. AO33

۹- به ازای $V_{ds} \leq V_{gs} - V_{th}$ و $V_{ds} > V_{gs} - V_{th}$ ترانزیستور MOS به ترتیب در کدامیک از نواحی کاری قرار دارد؟

۱. اشباع، قطع ۲. قطع، اشباع ۳. خطی، اشباع ۴. اشباع، خطی



سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI، طراحی مدارهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) - ۱۱۱۵۲۰۵ - مهندسی برق - گرایش الکترونیک ۱۳۱۹۱۷۵

۱۰- نتایج اندازه گیری برای دو ترانزیستور در حال کار ثبت شده است (جریان بر حسب میکرو آمپر و ولتاژ می باشد). کدام گزینه نوع ترانزیستور ها را درست نشان می دهد؟

ID	VD	VG	VS	ترانزیستور
۲۰۰	۴	۳	۵	نوع ۱
۸۰۰	۵	۲	۵	نوع ۱
۷۲	۰	۰	-۲	نوع ۲
۲۷۰	۳	۰	-۴	نوع ۲

۰۲ ترانزیستور نوع ۱، P و ترانزیستور نوع ۲، N

۰۱ ترانزیستور نوع ۱، N و ترانزیستور نوع ۲، P

۰۴ ترانزیستور نوع ۱، P و ترانزیستور نوع ۲، P

۰۳ ترانزیستور نوع ۱، N و ترانزیستور نوع ۲، N

۱۱- کدامیک از خازن های اکسید در دو حالت عملکردی خطی و اشباع ترانزیستور MOS دارای مقدار صفر می باشد؟

۰۴ هیچکدام

۰۳ C_{gb}

۰۲ C_{gd}

۰۱ C_{gs}

۱۲- کدام گزینه درست می باشد؟

۰۱ هدایت انتقالی در دوقطبی ها مستقل از دما می باشد.

۰۲ ترانزیستور های CMOS در مقایسه با دوقطبی ها به مساحت کمتری نیاز دارند.

۰۳ برای یک ترانزیستور NMOS در چاه P متصل به زمین، هنگامی که سطح ولتاژ سورس به بالاتر از زمین می رسد، ولتاژ آستانه شروع به کاهش می کند.

۰۴ برای ساخت مدارهای BiCMOS می توان دقیقا از همان فرایند ساخت CMOS استفاده کرد.

۱۳- با توجه به اینکه $\mu_n = 2.5\mu_p$ عرض نسبی دو MOSFET کانال N و P باید چه رابطه ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقال آنها یکی باشد؟

۰۴ $0.4W_p = W_n$

۰۳ $4W_p = W_n$

۰۲ $W_p = 0.25W_n$

۰۱ $W_p = W_n$

سری سوال: ۱ یک

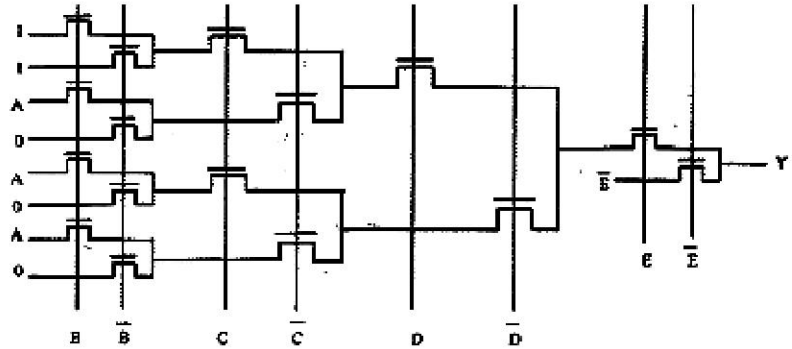
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI، طراحی مدارهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) - ۱۱۱۵۲۰۵ - مهندسی برق - گرایش الکترونیک ۱۳۱۹۱۷۵

۱۴- تابع منطقی مدار زیر چیست؟



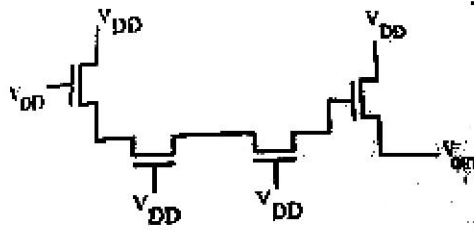
۴. $Y = (\overline{A+B})(\overline{C+D})\overline{E}$

۳. $Y = A.B + C.D + E$

۲. $Y = A.B + C.D + A.E$

۱. $Y = (A.B + C.D) + \overline{E}$

۱۵- در شکل زیر ولتاژ خروجی برابر چیست؟



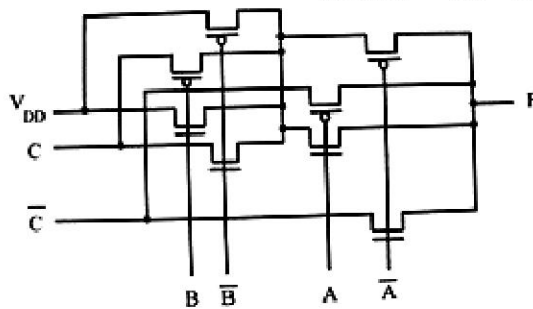
۴. $V_{DD} - 4V_t$

۳. $V_{DD} - 2V_t$

۲. $V_{DD} - 3V_t$

۱. $V_{DD} - V_t$

۱۶- تابع پیاده سازی شده با ترانزیستورهای عبور مدار زیر چیست؟



۴. $(A \oplus B).C$

۳. $A \oplus B \oplus C$

۲. $A.B.C + A.C.B$

۱. $A.B + \overline{A}.C + A.\overline{B}.C$

۱۷- یک گیت منطقی CMOS چنانچه ورودی اش در وضعیت بالا قرار بگیرد $2\mu A$ و چنانچه در وضعیت پایین قرار گیرد، $3.6\mu A$ از منبع تغذیه جریان می کشد. چنانچه $V_{DD} = 3.3V$ فرض شود آنگاه متوسط توان مصرفی این گیت را محاسبه کنید.

۴. $18.48\mu W$

۳. $9.24\mu W$

۲. $5.6\mu W$

۱. $2.8\mu W$

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

عنوان درس: طراحی سیستمهای VLSI، طراحی مدارهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۰۵ - مهندسی برق - گرایش الکترونیک ۱۳۱۹۱۷۵

۱۸- برای پیاده سازی نقشه کارنوی زیر، حداقل به چند ترانزیستور در شبکه پایین بر نیاز داریم؟

BC \ A	0	1
00	0	1
01	1	0
11	0	0
10	0	0

۵ .۴

۱۶ .۳

۸ .۲

۹ .۱

۱۹- در طراحی خوب معمولا NM_L چگونه انتخاب می شود؟

۴ .۴ $NM_L < VDD/2$

۳ .۳ $NM_L > VDD/2$

۲ .۲ $NM_L < VDD/4$

۱ .۱ $NM_L > VDD/4$

۲۰- روش نمایشی..... محل نسبی اجزای مدار و روش نمایشی..... محل دقیق لایه ها و تماس ها را نشان می دهد.

۲ .۲ نمودار میله ای، نمودار شماتیک

۱ .۱ نمودار شماتیک، نمودار میله ای

۴ .۴ نمودار میله ای، چینش مدار

۳ .۳ چینش مدار، نمودار میله ای

۲۱- در وارونگر با بار تخلیه ای نسبت به وارونگر با بار مقاومتی حاشیه های نویز و مساحت چینش به ترتیب و می باشد.

۴ .۴ بیشتر، بیشتر

۳ .۳ کمتر، کمتر

۲ .۲ بیشتر، کمتر

۱ .۱ کمتر، بیشتر

۲۲- کدام قانون طراحی، توصیف کننده حداقل پهنای کانال ترانزیستور است؟

۴ .۴ طول پلی سیلیکون

۳ .۳ پهنای نفوذ

۲ .۲ پهنای فلز

۱ .۱ پهنای پلی سیلیکون

۲۳- در کدامیک از حالات خروجی وارونگر CMOS هر دو ترانزیستور در حالت اشباع می باشند؟

۴ .۴ $V_{out} = V_{DD}$

۳ .۳ $V_{out} = V_{INV}$

۲ .۲ $V_{out} = V_{OL}$

۱ .۱ $V_{out} = V_{OH}$

۲۴- فواصل بین نماها در فاصله مینیمم، از چه مشکلی جلوگیری می نماید؟

۴ .۴ تاخیر زمان بندی

۳ .۳ اتلاف توان

۲ .۲ اتصال باز

۱ .۱ اتصال کوتاه

۲۵- فرض کنید برای یک گیت AOI با ظرفیت بار $10fF$ ، $R_{on} = 10k\Omega$ اگر $t_{rise} = 0.5ns$ فرض شود، t_{PHL} واقعی چقدر است؟

۴ .۴ 3.45ps

۳ .۳ 0.038ns

۲ .۲ 0.069ns

۱ .۱ 259ps

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI، طراحی مدارهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) - ۱۱۱۵۲۰۵ - مهندسی برق - گرایش الکترونیک ۱۳۱۹۱۷۵

سوالات تشریحی

نمره ۱.۴۰

۱- برای یک ترانزیستور NMOS تخلیه ای $\lambda = 0.02/V$ ، $K_n'(W/L) = 200 \mu A/V^2$ ، $V_{TH} = -2V$ می باشد. به ازای $V_{DS} = 1V$ ، $V_{GS} = 0$ MOSFET در چه ناحیه ایست و جریان درین چقدر است؟

نمره ۱.۴۰

۲- وارونگر CMOS با پارامترهای زیر را در نظر بگیرید:

$$V_{DD} = 3.3V, V_{TH,n} = 0.6V, V_{TH,p} = -0.7V$$

$$K_n = 200 \mu A/V^2, K_p = 80 \mu A/V^2$$

مقادیر حاشیه های نویز را محاسبه کنید.

نمره ۱.۴۰

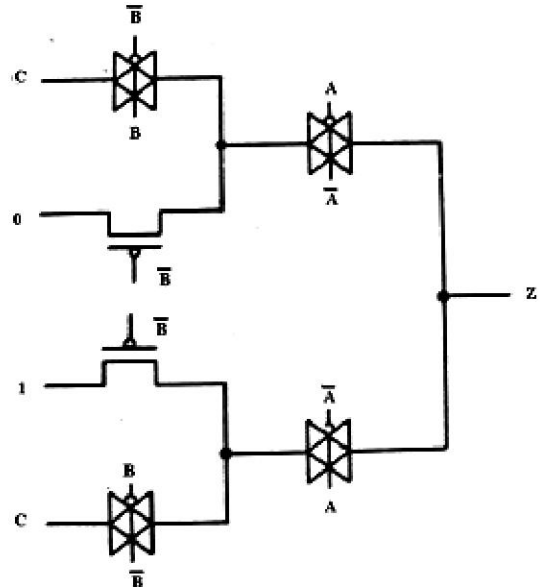
۳- تابع منطقی $F = (\overline{A} \cdot \overline{B} + \overline{C} + \overline{D})(G + \overline{E}F)$ را با منطق CMOS و حداقل تعداد ترانزیستور طراحی کنید.

نمره ۱.۴۰

۴- محاسن و معایب استفاده از شبه nMOS در مقایسه با CMOS تکمیلی را بیان کنید.

نمره ۱.۴۰

۵- گیت های انتقالی در شکل زیر چه تابع منطقی را پیاده سازی می کنند؟



شماره سوال	پاسخ صحيح	وضعيت كليد
1	ج	عادي
2	ب	عادي
3	الف	عادي
4	د	عادي
5	ب	عادي
6	ج	عادي
7	ب	عادي
8	ج	عادي
9	ج	عادي
10	ب	عادي
11	ج	عادي
12	ب	عادي
13	د	عادي
14	الف	عادي
15	ج	عادي
16	الف	عادي
17	ج	عادي
18	د	عادي
19	الف	عادي
20	د	عادي
21	ب	عادي
22	الف	عادي
23	ج	عادي
24	الف	عادي
25	الف	عادي