WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: الکترونیک دیجیتال

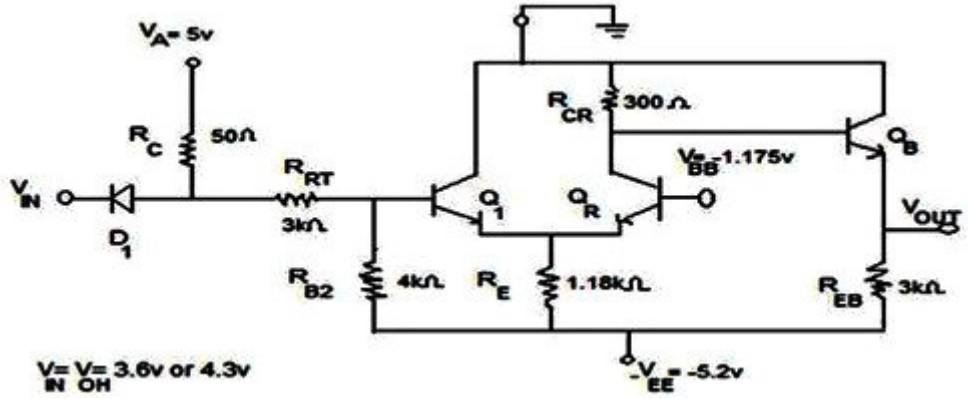
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

استفاده از ماشین حساب ساده ، ماشین حساب مهندسی مجاز است

۱- خانوادهٔ مدار **BiCMOS** شامل کدام یک از گزینه های زیر است؟

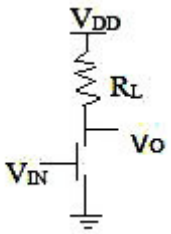
۱. NMOS و BJT ۲. NMOS و ECL ۳. CMOS و BJT ۴. CMOS و ECL

۲- در شکل زیر، با فرض اینکه **VD=0.7v**، ولتاژ بیس ترانزیستور $Q1$ چقدر است؟



۱. ۵V ۲. ۰,۷V ۳. ۰,۳۲V ۴. ۰,۲۳V

۳- در معکوس کننده شکل زیر با فرض $R_L=5k\Omega$ و $R_{on}=500\Omega$ (مقاومت کلید در حالت وصل)، به ازای چه مقدار منبع ولتاژ V_{DD}، مقدار V_{OL} برابر **1V** می گردد؟



۱. ۵V ۲. ۱۱V ۳. ۱۰V ۴. ۱۵V

۴- توان مصرفی در یک گیت **RTL** پایه در حالتی که یک بار به خروجی آن وصل شده باشد، چقدر است؟ (فرض کنید V_{BE} **0.8V=(SAT)** و **V_{CC}=5V** ($V_{CE(SAT)}$=0.2V R_C=1k $R_{B=}$10k β_F=25)

۱. 12.96mW ۲. 11.97mW ۳. 10mW ۴. 22.14mW

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۵- مقاومت بین درین و سورس در ناحیه خطی از چه رابطه ای بدست می آید؟

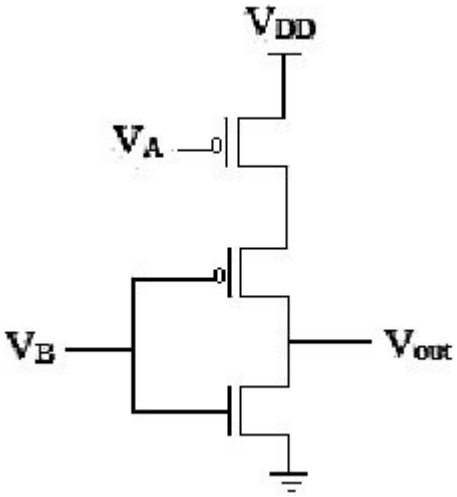
۱. $r_{ds}=[k(V_{GS}-V_T)]^{-1}$

۲. $r_{ds}=[k(V_{GS}-V_T)]$

۳. $r_{ds}=[k(V_{GS}-V_T)]^{-2}$

۴. $r_{ds}=[k(V_{GS}-V_T)]^{2}$

۶- در مدار شکل زیر اگر V_A بالا و V_B پایین باشد، خروجی چه حالتی پیدا می کند؟



۱. بالا ۲. امپدانس بالا ۳. پایین ۴. نامشخص

۷- در ترانزیستورهای ماسفت، چه زمانی شکست اکسید رخ می دهد؟

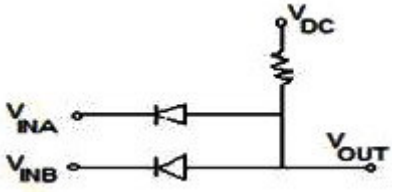
۱. وقتی ولتاژ گیت به درین از حدود ۵۰ ولت کمتر شود.

۲. وقتی ولتاژ گیت به سورس از حدود ۵۰ ولت کمتر شود.

۳. وقتی ولتاژ گیت به سورس از حدود ۵۰ ولت بیشتر شود.

۴. وقتی ولتاژ گیت به درین از حدود ۵۰ ولت بیشتر شود.

۸- مدار زیر چه گیتی را نشان میدهد؟



۱. AND ۲. OR ۳. NOR ۴. NAND

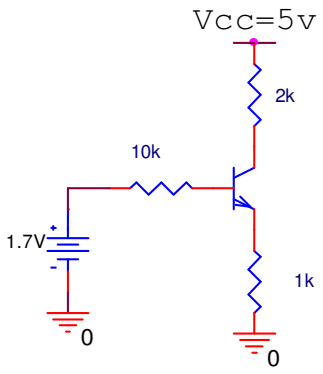
WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۹- در مدار زیر، با فرض $\beta_F=50$ و $V_{BE}=0.7V$، جریان کلکتور ترانزیستور چقدر است؟



۱. 0.85mA ۲. 1mA ۳. 1.5mA ۴. 0

۱۰- باتوجه به فرمول $V_t = V_{t0} + \left[\sqrt{2\varphi f + vsb} - \sqrt{2\varphi f}\right]$ ولتاژ بدنه چه تاثیری در عملکرد ترانزیستور دارد؟

۱. ولتاژ بدنه V_{GS} را کنترل می کند.
۲. ولتاژ بدنه تأثیری بر جریان ندارد.
۳. ولتاژ بدنه تأثیری بر V_t ندارد.
۴. ولتاژ بدنه سبب تغییر I_D می شود.

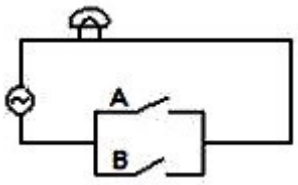
۱۱- معمولا می خواهیم کار مدار بسیار سریع، یعنی tp ..... و در عین حال تلف توان ..... باشد.

۱. کم- زیاد ۲. کم- کم ۳. زیاد- کم ۴. زیاد- زیاد

۱۲- جریان اشباع معکوس برای دیودهای PN، کمتر از ..... و برای دیودهای MN کمتر از ..... است.

۱. یک پیکوآمپر - یک میکروآمپر
۲. یک نانوآمپر - یک میکروآمپر
۳. یک میکروآمپر - یک پیکوآمپر
۴. یک میکروآمپر - یک نانوآمپر

۱۳- مدار زیر بیانگر کدام منطق دودویی است؟



۱. AND ۲. NAND ۳. OR ۴. NOR

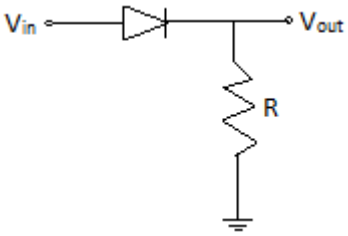
WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

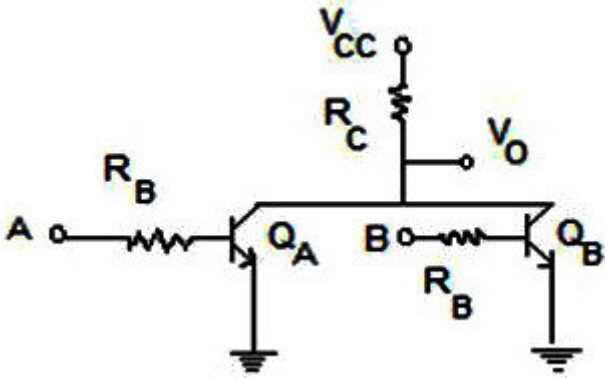
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۱۴- در مدار شکل زیر، به ازای چه مقداری از ولتاژ ورودی، ولتاژ خروجی برابر صفر می شود؟



۱. ۱V ۲. ۰،۸V ۳. ۰ ۴. ۱،۷V

۱۵- مدار زیر کدام گیت را پیاده سازی می کند؟



۱. XOR ۲. NAND ۳. NOR ۴. AND

۱۶- برای گیت NAND که با منطق RTL پیاده سازی شده است و در آن V_{BE}=0.7V و $V_{CE(SAT)}$=0.17V است، حداکثر تعداد ورودی مجاز گیت را تعیین کنید.

۱. ۲ ۲. ۳ ۳. ۴ ۴. ۵

۱۷- اگر خروجی دو گیت NAND از نوع TTL کلکتور باز را به هم متصل کنیم تابع حاصل برابر می شود با:

۱. AND ۲. NOR ۳. OR ۴. NAND

۱۸- چه زمانی اتصال مستقیم CMOS به STTL امکانپذیر است؟

۱. خروجی CMOS در سطح بالا باشد. ۲. ورودی STTL در سطح پایین باشد.
۳. خروجی STTL در سطح بالا باشد. ۴. ورودی CMOS در سطح بالا باشد.

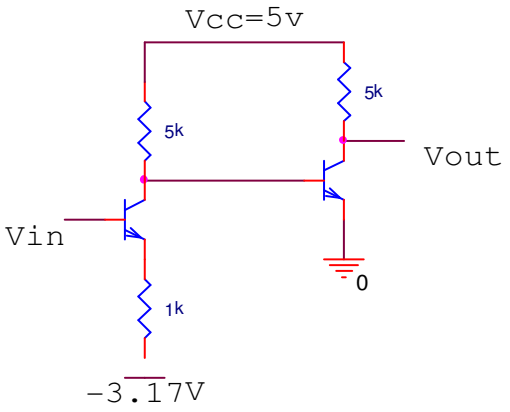
WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

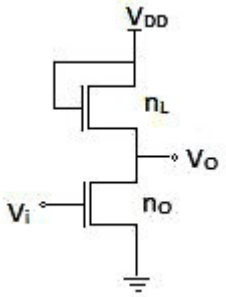
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۱۹- در مدار زیر، اگر ولتاژ ورودی V_{in} بین 1.58V- و 0.77V- تغییر کند این مدار مبدل چه گیتهایی خواهد بود؟



۱. ECL به CMOS
۲. CMOS به ECL
۳. TTL به ECL
۴. TTL به CMOS

۲۰- در مدار شکل زیر، زمانی که ولتاژ خروجی برابر V_{OL} باشد، وضعیت ترانزیستورهای n_O و n_L به ترتیب چه بوده است؟



۱. قطع- اشباع
۲. اشباع- قطع
۳. خطی- اشباع
۴. اشباع- اشباع

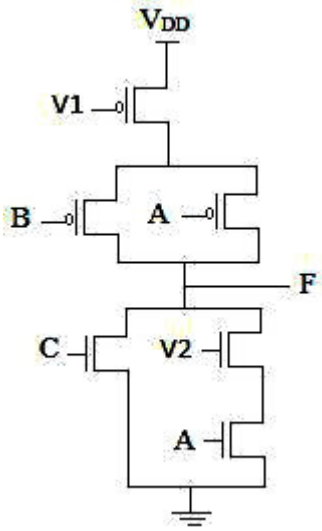
WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

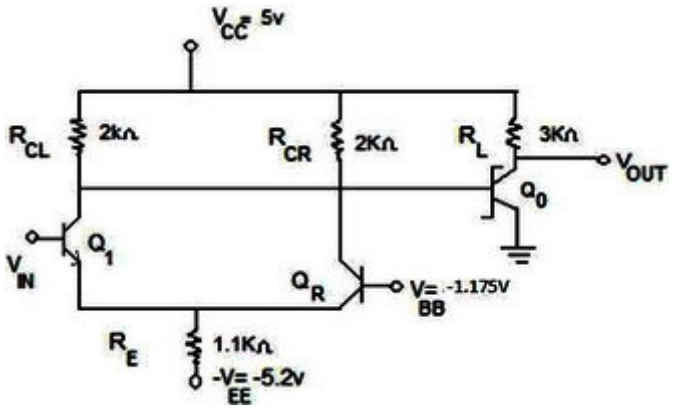
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۲۱- در مدار شکل زیر برای اینکه تابع خروجی برابر F=(AB+C')' باشد، نقاط V1 و V2 به ترتیب باید چه ولتاژهایی باشند؟



۱. C' و B'
۲. C' و B
۳. B' و C
۴. C و B

۲۲- در مدار شکل زیر، وقتی ورودی ترانزیستور Q_1 در سطح بالا باشد، سطح ولتاژ کلکتور Q1 چگونه است و مقدار آن مثبت است یا منفی؟



۱. پایین _ مثبت
۲. بالا _ مثبت
۳. بالا _ منفی
۴. پایین _ منفی

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

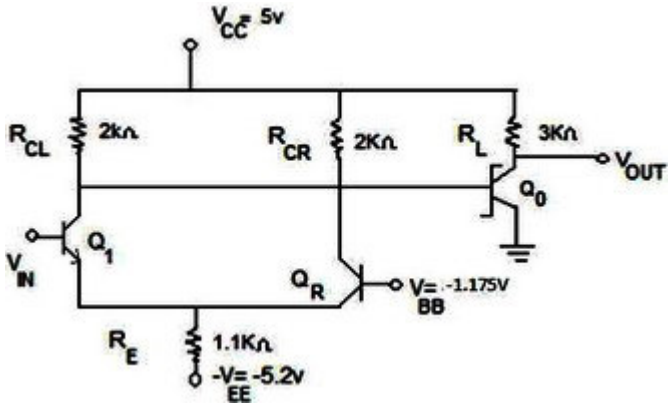
عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

۲۳- با استفاده از کدام ساختار زیر می توان عمل شارژ خازن بار را سرعت بخشید؟

۱. دنبالگر امیتر ۲. امیتر مشترک ۳. بیس مشترک ۴. سورس مشترک

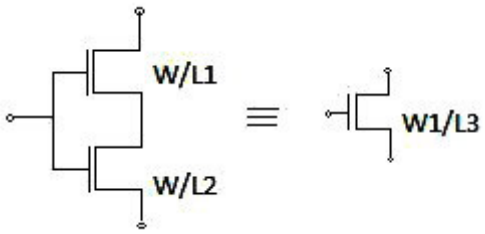
۲۴- اگر در مدار شکل زیر V_{IL}=-1.58V و V_{IH}=-0.77Vباشد، این مدار مبدل چه خانواده هایی است؟



۱. STTL به ECL ۲. ECL به STTL

۳. ECL به CMOS ۴. CMOS به STTL

۲۵- اگر دو شکل زیر با هم معادل باشند، W1 برابر است با:



۱. ۲W ۲. W ۳. W/2 ۴. ۴W

WWW.PLC20.IR

تعداد سوالات : تستی : ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

عنـــوان درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۰۲

سوالات تشریحی

۱- توان تلف شده در مدارات منطقی دارای دو مولفه ایستا و پویا می باشد. هر کدام از این توان ها را به صورت کامل تشریح کنید. ۱،۴۰ نمره

۲- مدار گیت OR با سطح منتقل شده را ترسیم و مشخصه انتقالی ولتاژ آن را با رسم شکل تشریح کنید. ۱،۴۰ نمره

۳- نحوه کار ماسفت در حالتی که VDS افزایش میابد را تشریح کرده و نمودار آنرا رسم نمایید. ۱،۴۰ نمره

۴- تابع زیر را با منطق NMOS با بار مقاومتی و حداقل ترانزیستورها پیاده سازی کنید. ۱،۴۰ نمره

$$F = \left(\overline{AB + \overline{(C+D)} + E}\right)$$

۵- یک مقایسه کننده ۴ بیتی با منطق دامینو بسازید. این مقایسه کننده باید به صورت انتشار بیت پیاده سازی شود و از مقایسه کننده های تک بیتی استفاده شود.(نوشتن جدول درستی و رسم مدار به همراه توضیحات) ۱،۴۰ نمره